



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월15일  
(11) 등록번호 10-2756231  
(24) 등록일자 2025년01월13일

(51) 국제특허분류(Int. Cl.)  
G11C 7/18 (2006.01) G06N 3/02 (2023.01)  
G11C 7/06 (2021.01) G11C 7/12 (2006.01)  
H03M 1/46 (2006.01)  
(52) CPC특허분류  
G11C 7/18 (2013.01)  
G06N 3/02 (2023.01)  
(21) 출원번호 10-2024-0006255  
(22) 출원일자 2024년01월15일  
심사청구일자 2024년01월15일  
(56) 선행기술조사문헌  
KR1020220157377 A\*  
(뒷면에 계속)

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
정성욱  
서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동, 연세대학교)  
김도한  
서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)  
조민영  
서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)  
(74) 대리인  
특허법인지평

전체 청구항 수 : 총 14 항

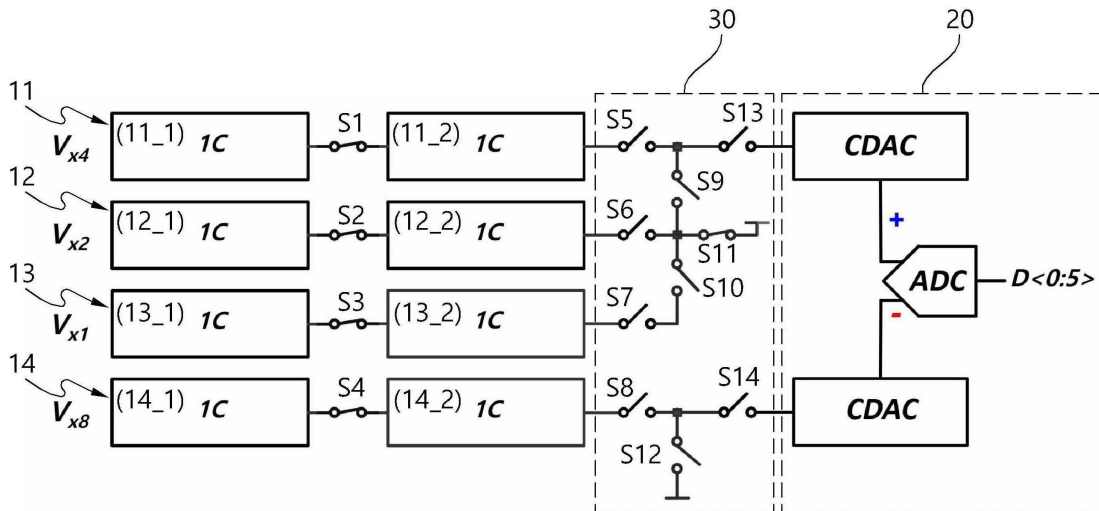
심사관 : 김경덕

(54) 발명의 명칭 CIM 장치 및 CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로

(57) 요약

본 발명에 따른 CIM 장치는, 각각이 2개의 동일 커패시턴스의 서브 글로벌 비트라인으로 분할되는 제1 내지 제4 글로벌 비트라인들; 상기 제1 내지 제4 글로벌 비트라인들 각각의 서브 글로벌 비트라인 사이에 연결되는 제1 내지 4 스위치들; 상기 제1 내지 제4 글로벌 비트라인들 각각의 출력 전압으로부터 비트 포지션을 반영하여 차동 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)를 위한 차동 입력 전압을 생성하는 스위칭 회로; 및 상기 차동 입력 전압을 입력받아 디지털 신호를 생성하는 상기 차동 SAR ADC를 포함한다.

대표도



(52) CPC특허분류

G11C 7/06 (2013.01)  
 G11C 7/12 (2013.01)  
 H03M 1/462 (2013.01)

(56) 선행기술조사문헌

비특허문헌\_전기전자학회논문지\*  
 비특허문헌\_충북대학교  
 US20220262424 A1  
 US12073869 B2  
 KR1020220150895 A  
 US20190043560 A1  
 Avishek Biswas et al., "CONV-SRAM: An energy-efficient SRAM with in-memory dot-product computation for low-power convolutional neural networks.", IEEE Journal of Solid-State Circuits, VOL. 54, NO. 1,\*  
 \*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193811
과제번호	2021-0-00871-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송연구개발사업
연구과제명	DRAM 기반 DNN 연산기 통합 PIM DRAM 칩 개발(3/4)
과제수행기관명	한국과학기술원
연구기간	2023.01.01 ~ 2023.12.31

---

**명세서**

**청구범위**

**청구항 1**

각각이 2개의 동일 커패시턴스의 서브 글로벌 비트라인으로 분할되는 제1 내지 제4 글로벌 비트라인들;  
 상기 제1 내지 제4 글로벌 비트라인들 각각의 서브 글로벌 비트라인 사이에 연결되는 제1 내지 4 스위치들;  
 상기 제1 내지 제4 글로벌 비트라인들 각각의 출력 전압으로부터 비트 포지션을 반영하여 차동 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)를 위한 차동 입력 전압을 생성하는 스위칭 회로;  
 및  
 상기 차동 입력 전압을 입력받아 디지털 신호를 생성하는 상기 차동 SAR ADC를 포함하고,  
 상기 차동 입력 전압은 제1 전압 및 제2 전압으로 구성되고,  
 상기 차동 SAR ADC는, 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압을 비교기로 출력하는 수동 전압 증폭 회로를 포함하고,  
 상기 수동 전압 증폭 회로는,  
 상기 제1 전압이 입력되는 제1 입력단;  
 상기 제2 전압이 입력되는 제2 입력단;  
 제1 출력단;  
 제2 출력단;  
 제1 2:1 믹스;  
 제2 2:1 믹스;  
 상기 제1 2:1 믹스의 출력과 상기 제1 출력단 사이에 연결되는 제1 커패시터;  
 상기 제2 2:1 믹스의 출력과 상기 제2 출력단 사이에 연결되는 제2 커패시터;  
 상기 제1 입력단과 상기 제1 출력단 사이에 연결되는 제1 스위치; 및  
 상기 제2 입력단과 상기 제2 출력단 사이에 연결되는 제2 스위치를 포함하고,  
 상기 제1 입력단은 상기 제1 2:1 믹스의 1 입력 및 상기 제2 2:1 믹스의 0 입력에 연결되고,  
 상기 제2 입력단은 상기 제1 2:1 믹스의 0 입력 및 상기 제2 2:1 믹스의 1 입력에 연결되는,  
 CIM 장치.

**청구항 2**

제1항에 있어서,  
 상기 제1 내지 제3 글로벌 비트라인들은 최상위 비트를 제외한 나머지 비트들에 해당하는 글로벌 비트라인들이고,  
 상기 제4 글로벌 비트라인은 최상위 비트에 해당하는 글로벌 비트라인인,  
 CIM 장치.

**청구항 3**

제2항에 있어서,  
 상기 스위칭 회로는, 상기 제1 내지 제3 글로벌 비트라인들 각각의 출력 전압으로부터 비트 포지션을 반영하여

상기 차동 입력 전압의 제1 전압을 생성하고, 상기 제4 글로벌 비트라인의 출력 전압으로부터 비트 포지션을 반영하여 상기 차동 입력 전압의 제2 전압을 생성하는,

CIM 장치.

**청구항 4**

제3항에 있어서,

상기 스위칭 회로는,

일단이 상기 제1 글로벌 비트라인에 연결되는 제5 스위치;

일단이 상기 제2 글로벌 비트라인에 연결되는 제6 스위치;

일단이 상기 제3 글로벌 비트라인에 연결되는 제7 스위치;

일단이 상기 제4 글로벌 비트라인에 연결되는 제8 스위치;

상기 제5 스위치의 타단과 상기 제6 스위치의 타단 사이에 연결되는 제9 스위치;

상기 제6 스위치의 타단과 상기 제7 스위치의 타단 사이에 연결되는 제10 스위치;

상기 제6 스위치의 타단과 VDD 사이에 연결되는 제11 스위치; 및

상기 제8 스위치의 타단과 VDD 사이에 연결되는 제12 스위치를 포함하는,

CIM 장치.

**청구항 5**

제4항에 있어서,

DAC(Digital-to-Analog Convert) 및 MAC(multiply-accumulate) 동작에서, 상기 제1 내지 제4 스위치는 연결되고 상기 제5 내지 제8 스위치는 차단되고 상기 제9 내지 제12 스위치는 차단되고,

비트 포지션을 반영하기 위하여, 상기 제3 스위치는 차단되고 상기 제7 스위치는 연결되고, 그 다음 상기 제3 스위치는 연결되고 상기 제7 스위치는 차단되고, 그 다음 상기 제2 스위치는 차단되고 상기 제3 스위치는 차단되고 상기 제5 내지 제8 스위치는 연결되고 상기 제11 및 제12 스위치는 차단되는,

CIM 장치.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

제1항에 있어서,

상기 제1 2:1 맥스의 제어 입력과 상기 제2 2:1 맥스의 제어 입력에는 동일한 제어 신호가 인가되는,

CIM 장치.

**청구항 9**

제8항에 있어서,

상기 제1 전압은 최상위 비트를 제외한 나머지 비트들의 MAC 연산 결과에 해당하는 전압이고,

상기 제2 전압은 최상위 비트의 MAC 연산 결과에 해당하는 전압인,

CIM 장치.

**청구항 10**

제8항에 있어서,  
 상기 제1 출력단은 비교기의 (+) 입력에 연결되고,  
 상기 제2 출력단은 상기 비교기의 (-) 입력에 연결되는,  
 CIM 장치.

**청구항 11**

제10항에 있어서,  
 상기 제1 스위치 및 상기 제2 스위치를 연결하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 0을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제2 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제1 출력단으로 상기 제1 전압이 출력되고 상기 제2 출력단으로 상기 제2 전압이 출력되도록 하며,  
 그 다음 상기 제1 스위치 및 상기 제2 스위치를 차단하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 1을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제2 전압이 출력되도록 하여, 상기 제1 커패시터 및 상기 제2 커패시터 각각의 커플링에 의해, 상기 제1 출력단 및 상기 제2 출력단을 통해 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압이 출력되도록 하는,  
 CIM 장치.

**청구항 12**

CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로로서,  
 차동 입력 전압의 제1 전압이 입력되는 제1 입력단;  
 상기 차동 입력 전압의 제2 전압이 입력되는 제2 입력단;  
 제1 출력단;  
 제2 출력단;  
 제1 2:1 믹스;  
 제2 2:1 믹스;  
 상기 제1 2:1 믹스의 출력과 상기 제1 출력단 사이에 연결되는 제1 커패시터;  
 상기 제2 2:1 믹스의 출력과 상기 제2 출력단 사이에 연결되는 제2 커패시터;  
 상기 제1 입력단과 상기 제1 출력단 사이에 연결되는 제1 스위치; 및  
 상기 제2 입력단과 상기 제2 출력단 사이에 연결되는 제2 스위치를 포함하고,  
 상기 제1 입력단은 상기 제1 2:1 믹스의 1 입력 및 상기 제2 2:1 믹스의 0 입력에 연결되고,  
 상기 제2 입력단은 상기 제1 2:1 믹스의 0 입력 및 상기 제2 2:1 믹스의 1 입력에 연결되는,  
 수동 전압 증폭 회로.

**청구항 13**

제12항에 있어서,  
 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에는 동일한 제어 신호가 인가되는,  
 수동 전압 증폭 회로.

**청구항 14**

제13항에 있어서,  
 상기 제1 전압은 최상위 비트를 제외한 나머지 비트들의 MAC 연산 결과에 해당하는 전압이고,  
 상기 제2 전압은 최상위 비트의 MAC 연산 결과에 해당하는 전압인,  
 수동 전압 증폭 회로.

**청구항 15**

제13항에 있어서,  
 상기 제1 출력단은 비교기의 (+) 입력에 연결되고,  
 상기 제2 출력단은 상기 비교기의 (-) 입력에 연결되는,  
 수동 전압 증폭 회로.

**청구항 16**

제15항에 있어서,  
 상기 제1 스위치 및 상기 제2 스위치를 연결하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 0을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제2 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제1 출력단으로 상기 제1 전압이 출력되고 상기 제2 출력단으로 상기 제2 전압이 출력되도록 하며,

그 다음 상기 제1 스위치 및 상기 제2 스위치를 차단하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 1을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제2 전압이 출력되도록 하여, 상기 제1 커패시터 및 상기 제2 커패시터 각각의 커플링에 의해, 상기 제1 출력단 및 상기 제2 출력단을 통해 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압이 출력되도록 하는,

수동 전압 증폭 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 CIM(Compute-In-Memory) 장치 및 CIM 장치의 차동 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)를 위한 수동 전압 증폭 회로에 관한 것이다.

**배경 기술**

[0002] 기존 폰 노이만 구조의 경우, 프로세서와 메모리가 구분되어 메모리에 저장된 데이터를 프로세서가 리드하여 연산을 수행하므로, 데이터 액세스 및 전송에 따른 에너지 효율성과 연산 속도 향상에 한계가 있었다. 그리고 최근에는 인공 신경망의 기술의 발전으로 인해 DNN(Deep Neural Network) 등에서 입력 데이터와 가중치 사이에 MAC(Multiply-Accumulation) 연산이 대규모로 수행되어야 함에 따라 에너지 효율성과 연산 속도를 개선할 수 있는 기법이 요구되고 있다.

[0003] 이에 데이터를 저장하는 메모리를 이용하여 연산을 수행하여 효율성을 극대화할 수 있는 CIM(Compute-In-Memory 또는 In-Memory Compute 라고도 함) 구조가 제안되었다. CIM 구조에서는 데이터를 저장하는 메모리가 프로세서로 데이터를 전송하지 않고 직접 연산을 수행하므로, 기존의 폰 노이만 구조의 한계를 극복하여 저전력 및 고속으로 연산을 수행할 수 있다.

[0004] 아날로그 CIM 구조는 아날로그 도메인(전류, 전압, 시간)에서 MAC 연산을 수행하고, 최종적으로 연산된 결과값에 대하여 ADC(Analog-to-Digital Converter)를 사용하여 양자화(quantization)를 수행한다. 일반적으로 ADC는 많은 전력을 소모하고 큰 면적을 차지하기 때문에 TIPS/W를 감소시킨다. 또한, 아날로그 CIM 구조는 정확도를 확보하기 위해 그에 맞는 출력 비율(output ratio)를 가져야 한다. 출력 비율은 "입력 정밀도×(누산 수)/ADC 정밀도"로 나타내어진다. 일반적으로 동일한 출력 비율을 가지더라도 더 많은 누산 수를 가진 구조가 정확도가 높다. 하지만 그에 따라 더 많은 연산값을 양자화하는 높은 비트의 ADC에서 에너지와 면적의 오버헤드가 크게

발생한다. 따라서 ADC의 개수와 정밀도를 감소시키는 것이 전체 ADC의 전력과 면적을 감소시켜 TOPS/W를 확보하는데 도움을 줄 수 있다.

- [0005] 도 1 내지 3은 CIM의 일반적인 동작을 나타낸다.
- [0006] 도 1은 입력 차징(input charging) 단계로, 각 셀에는 가중치가 저장되어 있고, 입력 데이터에 따라 리드 비트라인(RBL: Read Bit Line)에 VDD 또는 0을 차징시킨다.
- [0007] 도 2는 곱셈(multiplication) 단계로, 리드 워드라인(RWL: Read Word Line)을 온 시켜 가중치에 따라 리드 비트라인(RBL)의 전압을 유지시키거나 0으로 디스차징시킨다.
- [0008] 도 3은 누산(accumulation) 단계로, 각 리드 비트라인(RBL)과 글로벌 비트라인(GBL: Global Bit Line) 사이의 스위치를 온 시켜서 리드 비트라인(RBL)에서 곱해진 값을 더해준다. 전하 공유(charge sharing)에 의해, 글로벌 비트라인(GBL)의 전압은  $V_{GBL} = \frac{V_0+V_1+\dots+V_{31}}{32}$  가 되어, MAC 연산 결과가 출력된다.
- [0009] 도 4 및 도 5는 일반적인 CIM의 ADC의 구조 및 동작을 나타낸다.
- [0010] ADC는 글로벌 비트라인(GBL)을 통해 출력된 아날로그 전압을 디지털 값으로 변환한다. 변환을 위한 감지 증폭기(SA: Sense Amplifier)는 작은 오프셋(offset)을 가져야 하므로 동작 파워가 크고 면적이 커야 한다.
- [0011] ADC의 동작 시, 기준 전압( $V_{ref}$ )은 ADC의 비트 수만큼 스위칭이 일어나며, 감지 증폭기(SA)는 ADC의 비트 수만큼 동작한다. 따라서 ADC의 비트 수가 증가할수록 에너지 오버헤드가 증가하므로, ADC의 개수와 동작 횟수를 줄이는 것이 요구된다.
- [0012] 도 6은 기존의 CIM ADC의 구조의 일 예(A. Biswas and A. P. Chandrakasan, "CONV-SRAM: An Energy-Efficient SRAM With In-Memory Dot-Product Computation for Low-Power Convolutional Neural Networks," in IEEE Journal of Solid-State Circuits, vol. 54, no. 1, pp. 217-230, Jan. 2019)를 나타낸다.
- [0013] 도 1의 구조는, 각 비트 포지션에 해당하는 각 글로벌 비트라인(GBL)마다 ADC가 마련되는 구조로, ADC의 개수가 많이 요구되고, 디지털 시프트 및 합산기(adder)를 필요로 한다. 도 2의 구조는 각 글로벌 비트라인(GBL)마다 ADC가 들어가므로 에너지와 면적의 오버헤드가 클 뿐만 아니라, 2의 보수 변환기와 디지털 시프트 및 합산기와 같은 디지털 로직으로 인해 추가적인 면적과 전력이 소모되는 문제가 있다.

**선행기술문헌**

**비특허문헌**

- [0014] (비특허문헌 0001) A. Biswas and A. P. Chandrakasan, "CONV-SRAM: An Energy-Efficient SRAM With In-Memory Dot-Product Computation for Low-Power Convolutional Neural Networks," in IEEE Journal of Solid-State Circuits, vol. 54, no. 1, pp. 217-230, Jan. 2019

**발명의 내용**

**해결하려는 과제**

- [0015] 본 발명의 실시예들은 글로벌 비트라인(GBL) 당 소요되는 ADC의 개수를 줄이고, ADC의 정밀도를 줄일 수 있는 CIM 장치 및 CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로를 제안한다.
- [0016] 기존 구조들의 경우 비트 포지셔닝을 위해 추가적인 디지털 시프트 및 합산기 등이 필요하여 면적 및 에너지 효율성이 제한된다. 본 발명의 실시예에서는 비트 포지셔닝을 전하 공유(charge sharing)와 스위칭 제어를 이용하여 아날로그 도메인에서 구현함으로써 면적 및 에너지 효율성을 확보할 수 있는 CIM 장치를 제안한다.
- [0017] 기존 ADC의 경우 목표 정확도를 확보하기 위해 높은 ADC 정밀도를 요구하여 면적 및 에너지 효율성이 제한된다. 본 발명의 실시예에서는 동일 ADC 정밀도로도 더 촘촘히 양자화하는 효과를 통해 목표 정확도를 확보하면서도 ADC 정밀도를 감소시켜 기존 구조 대비 면적 및 에너지 효율성을 확보할 수 있는 수동 전압 증폭기를 제안한다.
- [0018] 본 발명의 실시예들은 기존 CIM 구조 대비 더 적은 개수의 ADC와 더 적은 ADC 정밀도를 통해 저면적 및 저전력

CIM 구조를 구현할 수 있는 CIM 장치 및 CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로를 제안한다.

[0019] 본 발명의 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0020] 상기 기술적 과제를 해결하기 위한 본 발명에 따른 CIM 장치는, 각각이 2개의 동일 커패시턴스의 서브 글로벌 비트라인으로 분할되는 제1 내지 제4 글로벌 비트라인들; 상기 제1 내지 제4 글로벌 비트라인들 각각의 서브 글로벌 비트라인 사이에 연결되는 제1 내지 4 스위치들; 상기 제1 내지 제4 글로벌 비트라인들 각각의 출력 전압으로부터 비트 포지션을 반영하여 차동 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)를 위한 차동 입력 전압을 생성하는 스위칭 회로; 및 상기 차동 입력 전압을 입력받아 디지털 신호를 생성하는 상기 차동 SAR ADC를 포함한다.

[0021] 상기 제1 내지 제3 글로벌 비트라인들은 최상위 비트를 제외한 나머지 비트들에 해당하는 글로벌 비트라인들이고, 상기 제4 글로벌 비트라인은 최상위 비트에 해당하는 글로벌 비트라인일 수 있다.

[0022] 상기 스위칭 회로는, 상기 제1 내지 제3 글로벌 비트라인들 각각의 출력 전압으로부터 비트 포지션을 반영하여 상기 차동 입력 전압의 제1 전압을 생성하고, 상기 제4 글로벌 비트라인의 출력 전압으로부터 비트 포지션을 반영하여 상기 차동 입력 전압의 제2 전압을 생성할 수 있다.

[0023] 상기 스위칭 회로는, 일단이 상기 제1 글로벌 비트라인에 연결되는 제5 스위치; 일단이 상기 제2 글로벌 비트라인에 연결되는 제6 스위치; 일단이 상기 제3 글로벌 비트라인에 연결되는 제7 스위치; 일단이 상기 제4 글로벌 비트라인에 연결되는 제8 스위치; 상기 제5 스위치의 타단과 상기 제6 스위치의 타단 사이에 연결되는 제9 스위치; 상기 제6 스위치의 타단과 상기 제7 스위치의 타단 사이에 연결되는 제10 스위치; 상기 제7 스위치의 타단과 VDD 사이에 연결되는 제11 스위치; 및 상기 제8 스위치의 타단과 VDD 사이에 연결되는 제12 스위치를 포함할 수 있다.

[0024] DAC(Digital-to-Analog Convert) 및 MAC(multiply-accumulate) 동작에서, 상기 제1 내지 제4 스위치는 연결되고 상기 제5 내지 제8 스위치는 차단되고 상기 제9 내지 제12 스위치는 차단되고, 비트 포지션을 반영하기 위하여, 상기 제3 스위치는 차단되고 상기 제7 스위치는 연결되고, 그 다음 상기 제3 스위치는 연결되고 상기 제7 스위치는 차단되고, 그 다음 상기 제2 스위치는 차단되고 상기 제3 스위치는 차단되고 상기 제5 내지 제8 스위치는 연결되고 상기 제11 및 제12 스위치는 차단될 수 있다.

[0025] 상기 차동 입력 전압은 제1 전압 및 제2 전압으로 구성되고, 상기 차동 SAR ADC는, 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압을 비교기로 출력하는 수동 전압 증폭 회로를 포함할 수 있다.

[0026] 상기 수동 전압 증폭 회로는, 상기 제1 전압이 입력되는 제1 입력단; 상기 제2 전압이 입력되는 제2 입력단; 제1 출력단; 제2 출력단; 제1 2:1 맥스; 제2 2:1 맥스; 상기 제1 2:1 맥스의 출력과 상기 제1 출력단 사이에 연결되는 제1 커패시터; 상기 제2 2:1 맥스의 출력과 상기 제2 출력단 사이에 연결되는 제2 커패시터; 상기 제1 입력단과 상기 제1 출력단 사이에 연결되는 제1 스위치; 및 상기 제2 입력단과 상기 제2 출력단 사이에 연결되는 제2 스위치를 포함하고, 상기 제1 입력단은 상기 제1 2:1 맥스의 1 입력 및 상기 제2 2:1 맥스의 0 입력에 연결되고, 상기 제2 입력단은 상기 제1 2:1 맥스의 0 입력 및 상기 제2 2:1 맥스의 1 입력에 연결된다.

[0027] 상기 제1 2:1 맥스의 제어 입력과 상기 제2 2:1 맥스의 제어 입력에는 동일한 제어 신호가 인가될 수 있다.

[0028] 상기 제1 전압은 최상위 비트를 제외한 나머지 비트들의 MAC 연산 결과에 해당하는 전압이고, 상기 제2 전압은 최상위 비트의 MAC 연산 결과에 해당하는 전압일 수 있다.

[0029] 상기 제1 출력단은 비교기의 (+) 입력에 연결되고, 상기 제2 출력단은 상기 비교기의 (-) 입력에 연결될 수 있다.

[0030] 상기 제1 스위치 및 상기 제2 스위치를 연결하고 상기 제1 2:1 맥스의 제어 입력과 상기 제2 2:1 맥스의 제어 입력에 0을 인가함으로써, 상기 제1 2:1 맥스의 출력으로 상기 제2 전압이 출력되고 상기 제2 2:1 맥스의 출력으로 상기 제1 전압이 출력되고 상기 제1 출력단으로 상기 제1 전압이 출력되고 상기 제2 출력단으로 상기 제2 전압이 출력되도록 하며, 그 다음 상기 제1 스위치 및 상기 제2 스위치를 차단하고 상기 제1 2:1 맥스의 제어 입력과 상기 제2 2:1 맥스의 제어 입력에 1을 인가함으로써, 상기 제1 2:1 맥스의 출력으로 상기 제1 전압이 출력되고 상기 제2 2:1 맥스의 출력으로 상기 제2 전압이 출력되도록 하여, 상기 제1 커패시터 및 상기 제2 커패

시터 각각의 커플링에 의해, 상기 제1 출력단 및 상기 제2 출력단을 통해 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압이 출력되도록 할 수 있다.

[0031] 상기 기술적 과제를 해결하기 위한 본 발명에 따른 CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로는, 차동 입력 전압의 제1 전압이 입력되는 제1 입력단; 상기 차동 입력 전압의 제2 전압이 입력되는 제2 입력단; 제1 출력단; 제2 출력단; 제1 2:1 믹스; 제2 2:1 믹스; 상기 제1 2:1 믹스의 출력과 상기 제1 출력단 사이에 연결되는 제1 커패시터; 상기 제2 2:1 믹스의 출력과 상기 제2 출력단 사이에 연결되는 제2 커패시터; 상기 제1 입력단과 상기 제1 출력단 사이에 연결되는 제1 스위치; 및 상기 제2 입력단과 상기 제2 출력단 사이에 연결되는 제2 스위치를 포함하고, 상기 제1 입력단은 상기 제1 2:1 믹스의 1 입력 및 상기 제2 2:1 믹스의 0 입력에 연결되고, 상기 제2 입력단은 상기 제1 2:1 믹스의 0 입력 및 상기 제2 2:1 믹스의 1 입력에 연결된다.

[0032] 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에는 동일한 제어 신호가 인가될 수 있다.

[0033] 상기 제1 전압은 최상위 비트를 제외한 나머지 비트들의 MAC 연산 결과에 해당하는 전압이고, 상기 제2 전압은 최상위 비트의 MAC 연산 결과에 해당하는 전압일 수 있다.

[0034] 상기 제1 출력단은 비교기의 (+) 입력에 연결되고, 상기 제2 출력단은 상기 비교기의 (-) 입력에 연결될 수 있다.

[0035] 상기 제1 스위치 및 상기 제2 스위치를 연결하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 0을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제2 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제1 출력단으로 상기 제1 전압이 출력되고 상기 제2 출력단으로 상기 제2 전압이 출력되도록 하며, 그 다음 상기 제1 스위치 및 상기 제2 스위치를 차단하고 상기 제1 2:1 믹스의 제어 입력과 상기 제2 2:1 믹스의 제어 입력에 1을 인가함으로써, 상기 제1 2:1 믹스의 출력으로 상기 제1 전압이 출력되고 상기 제2 2:1 믹스의 출력으로 상기 제2 전압이 출력되도록 하여, 상기 제1 커패시터 및 상기 제2 커패시터 각각의 커플링에 의해, 상기 제1 출력단 및 상기 제2 출력단을 통해 상기 제1 전압과 상기 제2 전압의 차이가 증폭된 차동 전압이 출력되도록 할 수 있다.

**발명의 효과**

[0036] 본 발명의 실시예들에 의하면, 글로벌 비트라인(GBL) 당 소요되는 ADC의 개수를 줄이고, ADC의 정밀도를 줄일 수 있다.

[0037] 본 발명의 실시예에서는 비트 포지셔닝을 전하 공유(charge sharing)와 스위칭 제어를 이용하여 아날로그 도메인에서 구현함으로써 면적 및 에너지 효율성을 확보할 수 있다.

[0038] 본 발명의 실시예에서는 동일 ADC 정밀도로도 더 촘촘히 양자화하는 효과를 통해 목표 정확도를 확보하면서도 ADC 정밀도를 감소시켜 기존 구조 대비 면적 및 에너지 효율성을 확보할 수 있다.

[0039] 본 발명의 실시예들은 기존 CIM 구조 대비 더 적은 개수의 ADC와 더 적은 ADC 정밀도를 통해 저면적 및 저전력 CIM 구조를 구현할 수 있다.

[0040] 본 발명의 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0041] 도 1 내지 3은 CIM의 일반적인 동작을 나타낸다.
- 도 4 및 도 5는 일반적인 CIM의 ADC의 구조 및 동작을 나타낸다.
- 도 6은 기존의 CIM ADC의 구조의 일 예를 나타낸다.
- 도 7은 본 발명의 일 실시예에 따른 SIM 장치의 구조를 나타낸다.
- 도 8 내지 11은 본 발명의 실시예에 따른 SIM 장치의 동작을 나타낸다.
- 도 12는 본 발명의 일 실시예에 따른, CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로를 나타낸다.
- 도 13 및 14는 본 발명의 실시예에 따른 수동 전압 증폭 회로의 동작을 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0042] 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 이하 설명 및 첨부된 도면들에서 실질적으로 동일한 구성요소들은 각각 동일한 부호들로 나타냄으로써 중복 설명을 생략하기로 한다. 또한 본 발명을 설명함에 있어 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략하기로 한다.
- [0043] 도 7은 본 발명의 일 실시예에 따른 SIM 장치의 구조를 나타낸다.
- [0044] 본 발명의 실시예에 따른 SIM 장치는 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14)를 포함한다. 편의상 각 글로벌 비트라인에 연결되는 셀 어레이는 생략되었다. 각 글로벌 비트라인은 비트 포지션에 대응된다. 예컨대, 제1 글로벌 비트라인(11)은 x4 비트 포지션, 제2 글로벌 비트라인(12)은 x2 비트 포지션, 제3 글로벌 비트라인(13)은 x1 비트 포지션, 제4 글로벌 비트라인(14)은 x8 비트 포지션에 대응된다. 즉, 제4 글로벌 비트라인(14)은 최상위 비트에 해당하고, 제1 내지 제3 글로벌 비트라인들(11, 12, 13)은 최상위 비트를 제외한 나머지 비트들에 해당한다.
- [0045] 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14)은 각각 2개의 동일 커패시턴스의 서브 글로벌 비트라인으로 분할된다. 즉, 한 글로벌 비트라인의 각 서브 글로벌 비트라인에 연결되는 셀 컴럼의 수는 동일하다. 제1 글로벌 비트라인(11)은 2개의 서브 글로벌 비트라인(11\_1, 11\_2)으로 분할된다. 제2 글로벌 비트라인(12)은 2개의 서브 글로벌 비트라인(12\_1, 12\_2)으로 분할된다. 제3 글로벌 비트라인(13)은 2개의 서브 글로벌 비트라인(13\_1, 13\_2)으로 분할된다. 제4 글로벌 비트라인(14)은 2개의 서브 글로벌 비트라인(14\_1, 14\_2)으로 분할된다.
- [0046] 각 글로벌 비트라인에서 서브 글로벌 비트라인 사이에는 스위치가 연결된다. 즉, 제1 스위치(S1)는 서브 글로벌 비트라인(11\_1, 11\_2) 사이에 연결되고, 제2 스위치(S2)는 서브 글로벌 비트라인(12\_1, 12\_2) 사이에 연결되고, 제3 스위치(S3)는 서브 글로벌 비트라인(13\_1, 13\_2) 사이에 연결되고, 제4 스위치(S4)는 서브 글로벌 비트라인(14\_1, 14\_2) 사이에 연결된다.
- [0047] 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14)과, 차동 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)(20) 사이에는 스위칭 회로(30)가 구비된다. 스위칭 회로(30)는 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14) 각각의 출력 전압으로부터 비트 포지션을 반영하여 차동 SAR ADC(20)를 위한 차동 입력 전압을 생성한다. 차동 SAR ADC(20)는 스위칭 회로(30)로부터 차동 입력 전압을 입력받아 디지털 신호를 생성한다. 구체적으로, 스위칭 회로(30)는 제1 내지 제3 글로벌 비트라인들(11, 12, 13) 각각의 출력 전압으로부터 비트 포지션을 반영하여 차동 입력 전압의 제1 전압을 생성하고, 제4 글로벌 비트라인(14)의 출력 전압으로부터 비트 포지션을 반영하여 차동 입력 전압의 제2 전압을 생성한다. 제1 전압은 차동 SAR ADC(20)의 (+) 단자로 입력되고, 제2 전압은 차동 SAR ADC(20)의 (-) 단자로 입력된다.
- [0048] 스위칭 회로는 제5 내지 제14 스위치(S5~S14)를 포함할 수 있다. 제5 스위치(S5)는 일단이 제1 글로벌 비트라인(11)에 연결되고, 제6 스위치(S6)는 일단이 제2 글로벌 비트라인(12)에 연결되고, 제7 스위치(S7)는 일단이 제3 글로벌 비트라인(13)에 연결되고, 제8 스위치(S8)는 일단이 제4 글로벌 비트라인(14)에 연결된다. 제9 스위치(S9)는 제5 스위치(S5)의 타단과 제6 스위치(S6)의 타단 사이에 연결된다. 제10 스위치(S10)는 제6 스위치(S6)의 타단과 제7 스위치(S7)의 타단 사이에 연결된다. 제11 스위치(S11)는 제6 스위치(S6)의 타단과 VDD 사이에 연결된다. 제12 스위치(S12)는 제8 스위치(S8)의 타단과 VDD 사이에 연결된다. 제13 스위치(S13)는 제5 스위치(S5)의 타단과 차동 SAR ADC(20)의 (+) 단자 사이에 연결된다. 제14 스위치(S14)는 제8 스위치(S8)의 타단과 차동 SAR ADC(20)의 (-) 단자 사이에 연결된다.
- [0049] 도 8 내지 11은 본 발명의 실시예에 따른 SIM 장치의 동작을 나타낸다.
- [0050] 도 8을 참조하면, DAC(Digital-to-Analog Convert) 및 MAC 연산 동작에서, 제1 내지 제4 스위치(S1, S2, S3, S4)는 연결되고 제5 내지 제8 스위치(S5, S6, S7, S8)는 차단되고 제9 내지 제12 스위치(S9, S10, S11, S12)는 차단된다. 따라서 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14)에는 각각 비트포지션이 반영되지 않은 MAC 연산 결과가 저장된다.
- [0051] 도 9 내지 도 11은 비트 포지션을 반영한 MAC 연산 결과를 출력하기 위한 동작을 나타낸다.
- [0052] 도 9를 참조하면, 제3 스위치(S3)가 차단되고 상기 제7 스위치(S7)가 연결된다. 이를 통해 제3 글로벌 비트라인(13)의 첫 번째 서브 글로벌 비트라인(13\_1)에는 여전히 해당 MAC 연산 결과가 저장되어 있고, 두 번째 서브 글

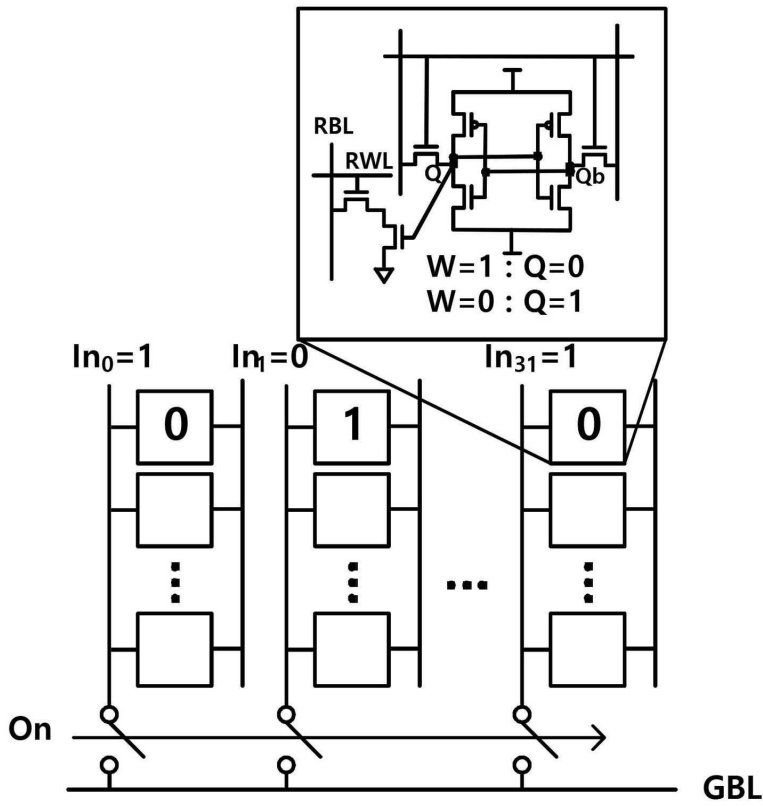
로벨 비트라인(13\_2)은 VDD로 차징된다.

- [0053] 그 다음, 도 10을 참조하면, 제3 스위치(S3)가 연결되고 제7 스위치(S7)가 차단된다. 이를 통해 제3 글로벌 비트라인(13)의 첫 번째 서브 글로벌 비트라인(13\_1)과 두 번째 서브 글로벌 비트라인(13\_2) 간에 전하 공유가 일어나, 제3 글로벌 비트라인(13)에 저장된 MAC 연산 결과에 1/2이 곱해진다.
- [0054] 그 다음, 도 11을 참조하면, 제2 스위치(S2)가 차단되고 제3 스위치(S3)가 차단되고 제5 내지 제8 스위치(S5, S6, S7, S8)가 연결되고 제11 및 제12 스위치(S11, S12)가 차단된다. 이를 통해 제1 글로벌 비트라인(11)의 첫 번째 및 두 번째 서브 글로벌 비트라인들(11\_1, 11\_2), 제2 글로벌 비트라인(12)의 두 번째 서브 글로벌 비트라인(12\_2), 및 제3 글로벌 비트라인(13)의 두 번째 서브 글로벌 비트라인(13\_2) 간에 전하 공유가 일어난다. 따라서 제1 글로벌 비트라인(11)에 저장된 MAC 연산 결과에는 2/4, 즉 1/2이 곱해지고, 제2 글로벌 비트라인(12)에 저장된 MAC 연산 결과에는 1/4이 곱해지고, 제3 글로벌 비트라인(13)에 저장된 앞서 1/2이 곱해진 MAC 연산 결과에는 1/4이 곱해져 결국 MAC 연산 결과에 1/8이 곱해진다. 따라서 제1 내지 제4 글로벌 비트라인들(11, 12, 13, 14)에 비트 포지션이 반영된 MAC 연산 결과가 획득된다.
- [0055] 그 다음, 도시되지는 않았으나, 제13 스위치(S13) 및 제14 스위치(S14)를 연결하면, 제1 내지 제3 글로벌 비트라인(11, 12, 13)의 MAC 연산 결과에 대응하는 제1 전압이 차동 SAR ADC(20)의 (+) 단자로 인가되고, 제4 글로벌 비트라인(14)의 MAC 연산 결과에 대응하는 제2 전압이 차동 SAR ADC(20)의 (-) 단자로 인가된다.
- [0056] 본 발명의 실시예에 의하면, 추가적인 커패시터 없이 가중치의 비트 포지션을 반영하여 MAC 연산 결과를 획득할 수 있어 회로 면적이 절감될 수 있다. 또한, 각 행(글로벌 비트라인) 별로 ADC가 요구되는 기존 기술에 비하여, 4개의 행에 하나의 ADC가 구비되므로, ADC의 개수가 75%만큼 감소되어 전력 소비와 면적을 절감시킬 수 있다.
- [0057] 한편, 전압 증폭기를 사용하여 전체 연산 결과값을 넓게 재배치하면 동일한 ADC 정밀도 내에서 더 조밀하게 양자화되는 효과를 얻을 수 있다. 즉, 더 많은 양자화 연산값을 더 작은 ADC 정밀도로 정확도의 저하 없이 양자화가 가능하다. 이 경우 SAR ADC의 양자화 범위도 2배로 늘릴 경우 ADC의 간격 자체는 증폭 전후로 동일하게 된다. 따라서 SAR ADC의 양자화 범위를 증폭 이전과 동일하게 설정하고, 범위를 넘어가는 출력 값을 클리핑하여 ADC의 양자화 간격을 조절할 수 있다. 클리핑 범위의 조절은 SAR ADC의 기준 전압 및 CDAC(capacitive DAC)의 단위 커패시턴스 조절을 통해 가능하다. 따라서 전압 증폭을 통해 전체 연산 결과값을 넓게 재배치하면서 SAR ADC의 양자화 범위를 증폭 이전과 동일하게 설정하는 것을 통해 정확도를 확보하면서 더 작은 ADC 정밀도로 TOPS/W 및 TOPS/mm<sup>2</sup>을 향상시킬 수 있다.
- [0058] 도 12는 본 발명의 일 실시예에 따른, CIM 장치의 차동 SAR ADC를 위한 수동 전압 증폭 회로를 나타낸다.
- [0059] 도 12를 참조하면, 차동 SAR ADC(20)는 CDAC(21, 22) 및 비교기(25)와, CDAC(21, 22)와 비교기(25) 사이에 구비되는 수동 전압 증폭 회로를 포함한다. CDAC(21, 22)와 비교기(25)의 동작은 일반적인 차동 SAR ADC(20)의 동작과 동일하므로 구체적인 설명은 생략하기로 한다.
- [0060] 차동 SAR ADC는 제1 전압(V<sub>inp</sub>) 및 제2 전압(V<sub>inn</sub>)으로 구성되는 차동 입력 전압을 입력받는다. 제1 전압(V<sub>inp</sub>)은 최상위 비트를 제외한 나머지 비트들(x<sub>1</sub>, x<sub>2</sub>, x<sub>3</sub>)의 MAC 연산 결과에 해당하는 전압이고, 제2 전압(V<sub>inn</sub>)은 최상위 비트(x<sub>8</sub>)의 MAC 연산 결과에 해당하는 전압이다.
- [0061] 수동 전압 증폭 회로는 제1 전압(V<sub>inp</sub>)과 제2 전압(V<sub>inn</sub>)을 입력받아 제1 전압(V<sub>inp</sub>)과 제2 전압(V<sub>inn</sub>)의 차이가 증폭된 차동 전압을 비교기(25)의 (+) 입력과 (-) 입력으로 출력한다.
- [0062] 본 실시예에 따른 수동 전압 증폭 회로는, 제1 전압(V<sub>inp</sub>)이 입력되는 제1 입력단(inp), 제2 전압(V<sub>inn</sub>)이 입력되는 제2 입력단(inn), 제1 전압(V<sub>inp</sub>)과 제2 전압(V<sub>inn</sub>)의 차이가 증폭된 차동 전압을 출력하는 제1 출력단(outp) 및 제2 출력단(outn), 제1 2:1 댄스(23), 제2 2:1 댄스(24), 제1 2:1 댄스(23)의 출력과 제1 출력단(outp) 사이에 연결되는 제1 커패시터(C1), 제2 2:1 댄스(24)의 출력과 제2 출력단(outn) 사이에 연결되는 제2 커패시터(C1), 제1 입력단(inp)과 제1 출력단(outp) 사이에 연결되는 제1 스위치(SC1), 및 제2 입력단(inn)과 제2 출력단(outn) 사이에 연결되는 제2 스위치(SC2)를 포함한다. 제1 입력단(inp)은 제1 2:1 댄스(23)의 1 입력 및 제2 2:1 댄스(24)의 0 입력에 연결되고, 제2 입력단(inn)은 제1 2:1 댄스(23)의 0 입력 및 제2 2:1 댄스(24)의 1 입력에 연결된다. 그리고 제1 2:1 댄스(23)의 제어 입력과 제2 2:1 댄스(24)의 제어 입력은 서로 연결되어, 동일한 제어 신호가 인가된다. 제1 출력단(outp)은 비교기(25)의 (+) 입력에 연결되고, 제2 출력단(outn)은 비교기(25)의 (-) 입력에 연결된다.
- [0063] 도 13 및 14는 본 발명의 실시예에 따른 수동 전압 증폭 회로의 동작을 나타낸다.

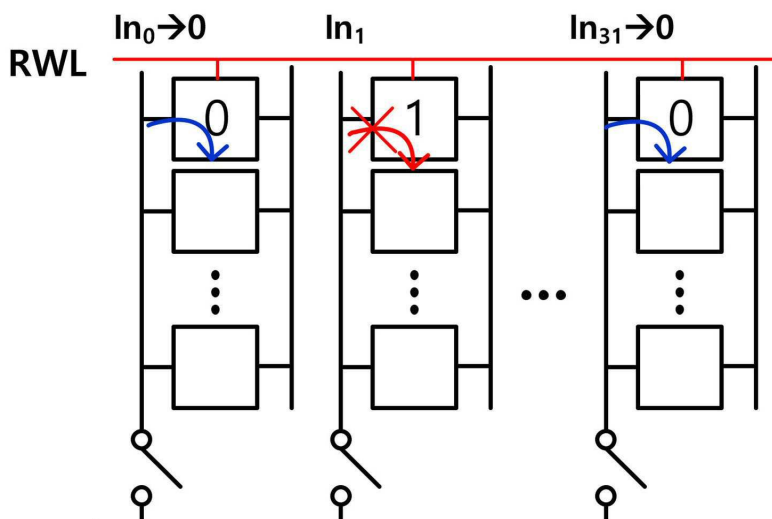
- [0064] 도 13을 참조하면, 제1 스위치(SC1) 및 제2 스위치(SC2)를 연결하고 제1 2:1 믹스(23)의 제어 입력과 제2 2:1 믹스(24)의 제어 입력에 0을 인가한다. 그러면 제1 2:1 믹스(23)의 출력으로 제2 전압(Vinn)이 출력되고 제2 2:1 믹스(24)의 출력으로 제1 전압(Vinp)이 출력되고 제1 출력단(outp)으로 제1 전압(Vinp)이 출력되고 제2 출력단(outn)으로 제2 전압(Vinn)이 출력된다.
- [0065] 그 다음, 도 14를 참조하면, 제1 스위치(SC1) 및 제2 스위치(SC2)를 차단하고 제1 2:1 믹스(23)의 제어 입력과 제2 2:1 믹스(24)의 제어 입력에 1을 인가한다. 그러면 제1 2:1 믹스(23)의 출력으로 제1 전압(Vinp)이 출력되고 제2 2:1 믹스(24)의 출력으로 제2 전압(Vinn)이 출력된다. 이를 통해 제1 커패시터(C1)의 왼쪽 단의 전압은 제2 전압(Vinn)에서 제1 전압(Vinp)으로 올라가고, 제2 커패시터(C2)의 왼쪽 단의 전압은 제1 전압(Vinp)에서 제2 전압(Vinn)으로 내려가게 된다. 그러면 제1 커패시터(C1) 양단의 커플링을 통해 제1 커패시터(C1)의 오른쪽 단의 전압은  $(Vinp-Vinn)/2$  만큼 올라가게 되고, 제2 커패시터(C2) 양단의 커플링을 통해 제2 커패시터(C2)의 오른쪽 단의 전압은  $(Vinn-Vinp)/2$  만큼 내려가게 된다. 결국 제1 출력단(outp)의 전압은  $Vinp+(Vinp-Vinn)/2$  이 되고, 제2 출력단(outn)의 전압은  $Vinn-(Vinn-Vinp)/2$  이 된다. 따라서 제1 출력단(outp) 및 제2 출력단(outn)을 통해, 제1 전압(Vinp)과 제2 전압(Vinn)의 차이  $Vinp-Vinn$  이 2배로 증폭된 차동 전압  $2(Vinp-Vinn)$ 이 출력된다.
- [0066] 본 발명의 실시예에 의하면, 추가적인 전압 공급과 기존의 출력 전압 범위의 손해 없이 차동 입력 전압을 2배로 증폭하는 것이 가능하다. 따라서 전체 연산 결과값을 넓게 재배치하는 것이 가능하여 동일한 ADC 정밀도 내에서 더 조밀하게 양자화되는 효과를 얻을 수 있다.
- [0067] 본 발명의 실시예들에 의하면, 로컬 스위치를 통해 비트 포지셔닝을 아날로그 도메인에서 수행할 수 있다. 따라서 디지털 시프트 및 합산기 등과 같은 디지털 로직이 필요 없게 되어 면적 및 에너지 효율성이 향상될 수 있다. 또한 수동 전압 증폭 회로를 사용하여 동일 누산 개수에서 ADC의 정밀도를 감소시킬 수 있으므로, 목표 정확도를 확보하면서 더 작은 정밀도의 ADC를 사용할 수 있다. 이처럼 본 발명의 실시예들에 의하면 기존 CIM 구조 대비 더 적은 개수의 ADC와 더 작은 ADC 정밀도를 통해 저면적 및 저전력 CIM 구조를 구현할 수 있다.
- [0068] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

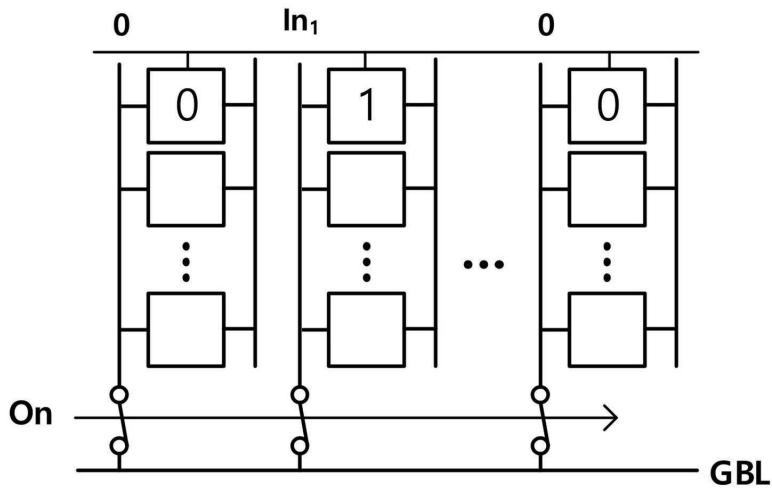
도면1



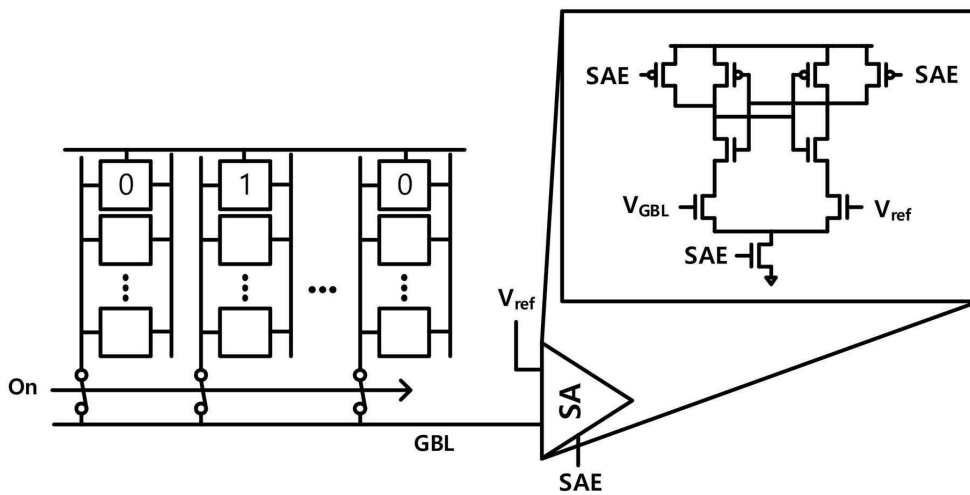
도면2



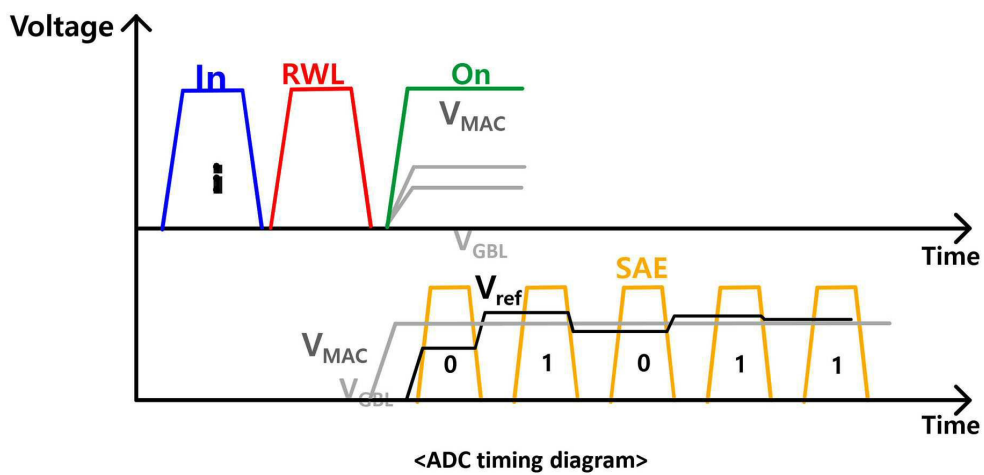
도면3



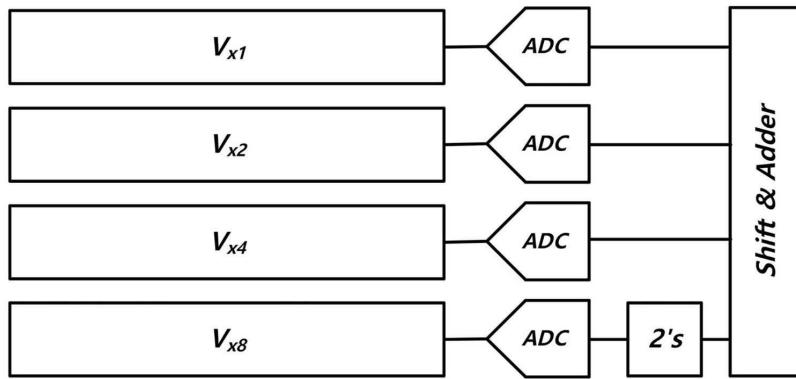
도면4



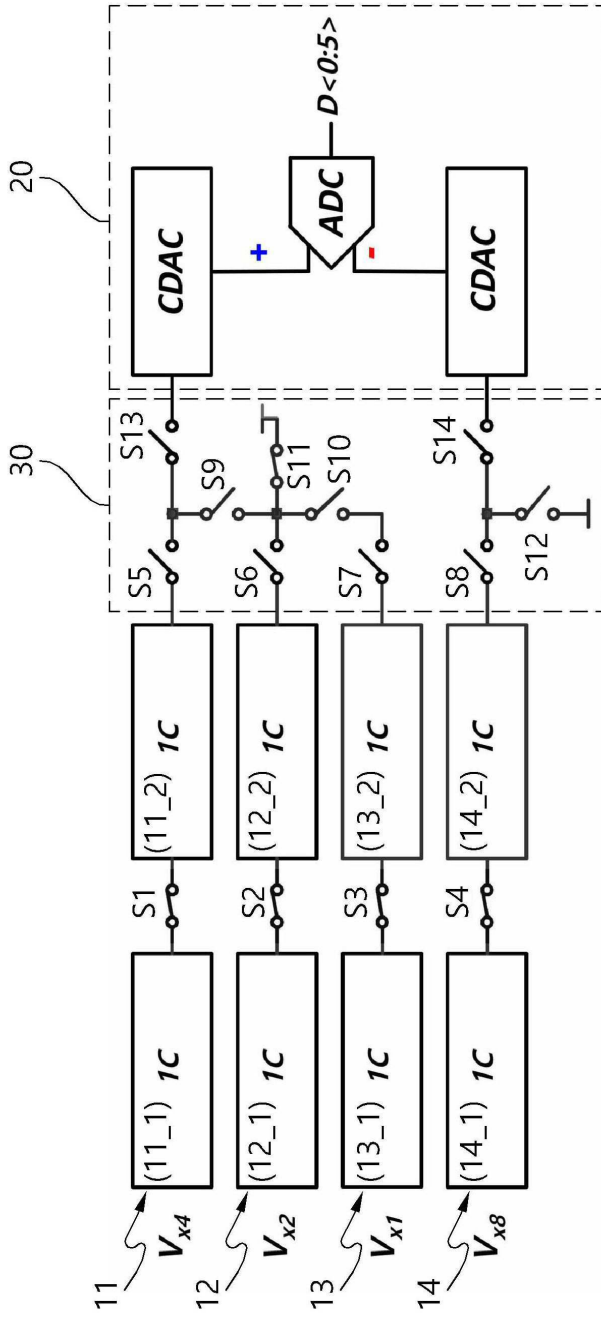
도면5



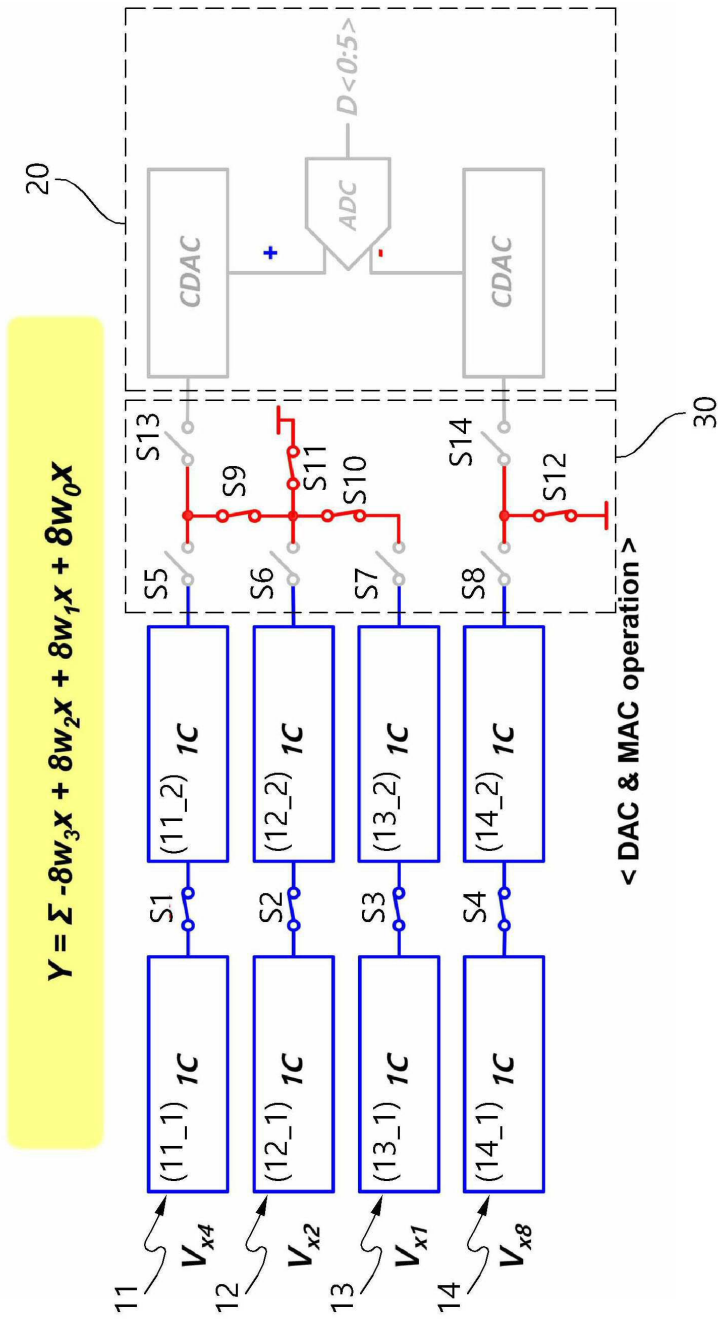
도면6



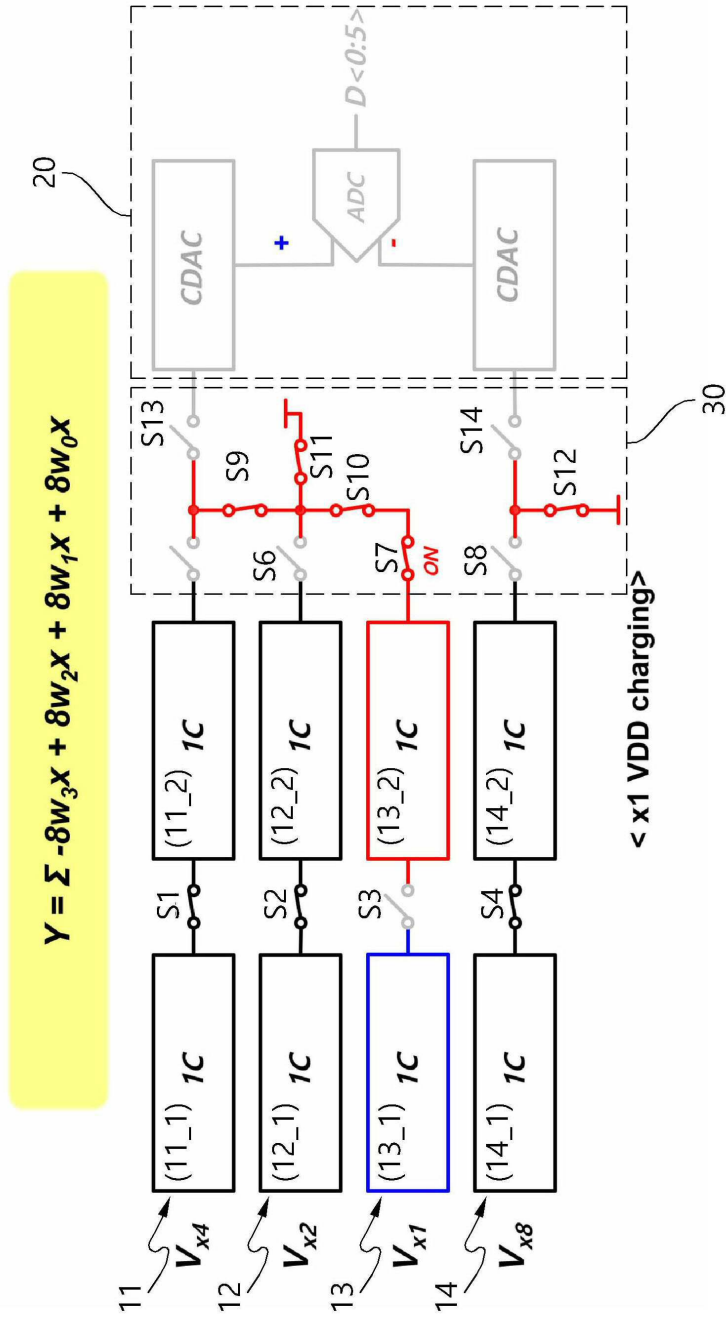
도면7



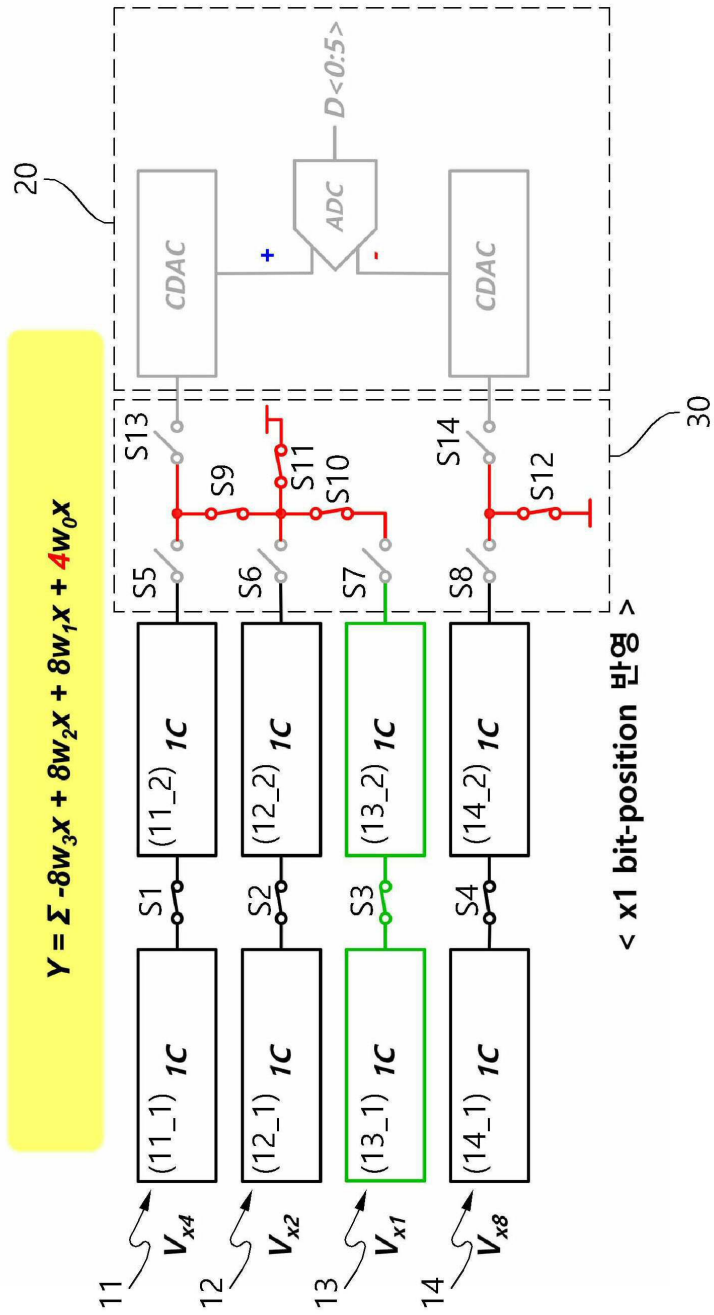
도면8



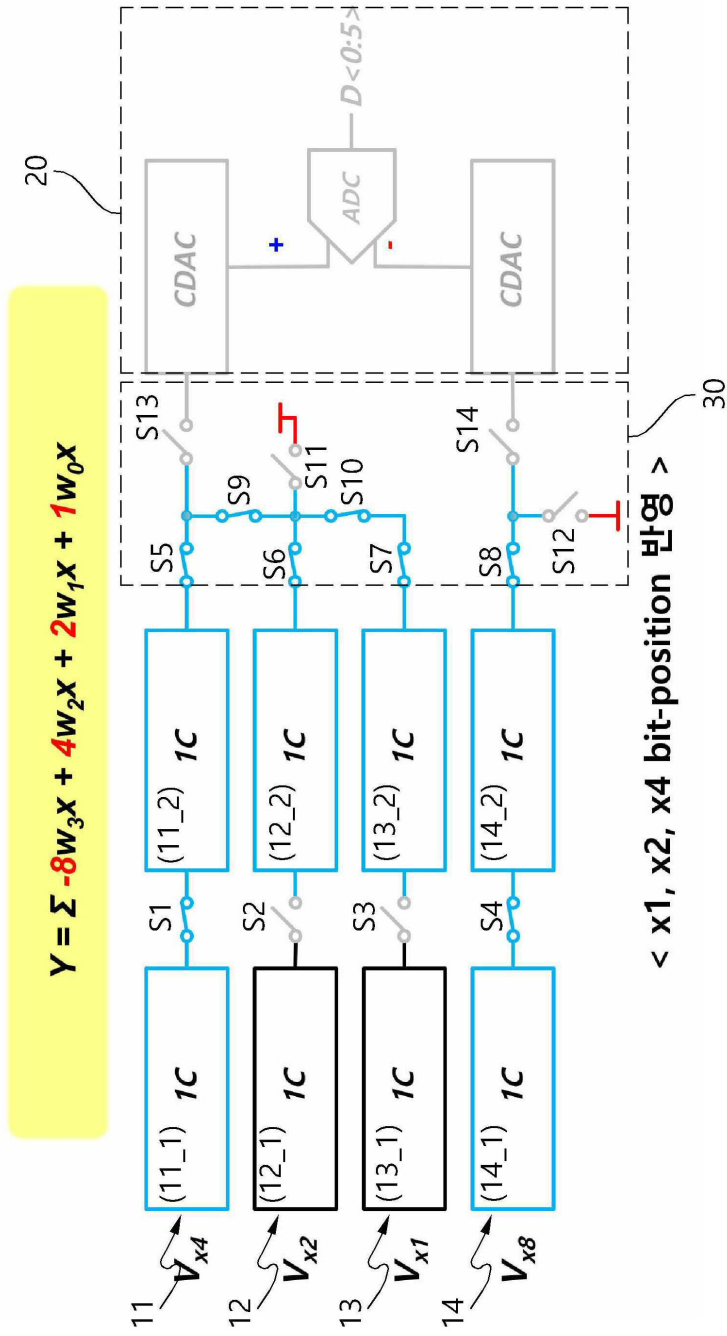
도면9



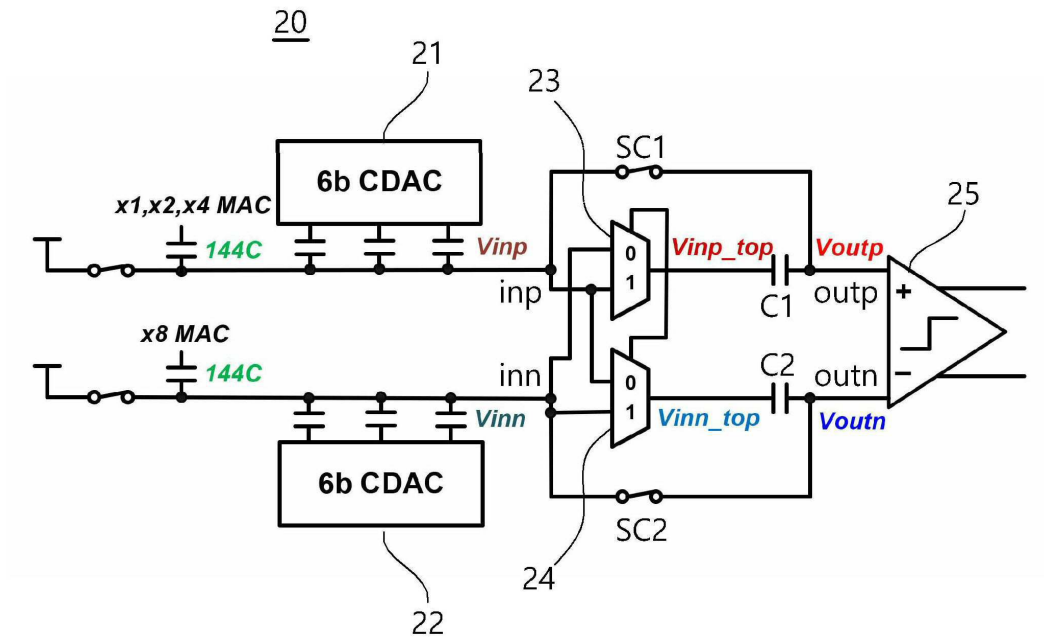
도면10



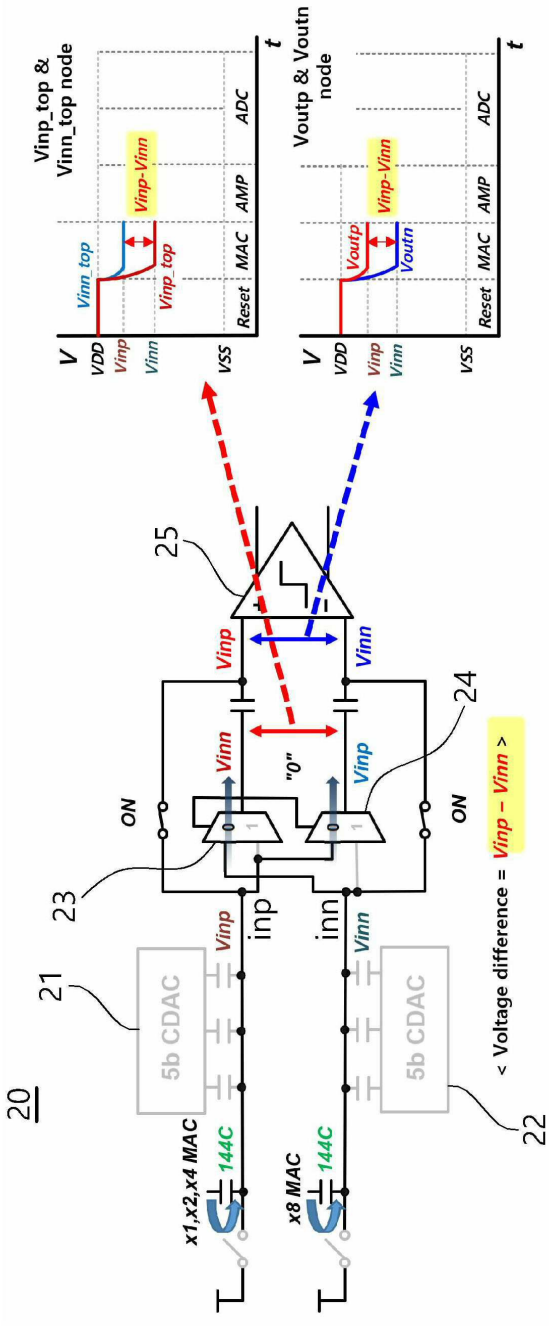
도면11



도면12



도면13



도면14

